

Family list

3 family members for:

JP10112645

Derived from 2 applications.

BEST AVAILABLE COPY

1 BOOTSTRAP CIRCUIT

Publication Info: JP2921510B2 B2 - 1999-07-19

JP10112645 A - 1998-04-28

2 Bootstrap circuit suitable for buffer circuit or shift register circuit

Publication Info: U55949271 A - 1999-09-07

.....
Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

05829545 **Image available**

BOOTSTRAP CIRCUIT

PUB. NO.: 10-112645 [JP 10112645 A]

PUBLISHED: April 28, 1998 (19980428)

INVENTOR(s): FUJIKURA KATSUYUKI

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 08-266128 [JP 96266128]

FILED: October 07, 1996 (19961007)

INTL CLASS: [6] H03K-019/094; G11C-019/28; H03K-017/06; H03K-019/0175

JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits); 42.2 (ELECTRONICS --
Solid State Components); 45.2 (INFORMATION PROCESSING --
Memory Units)

JAPIO KEYWORD: R002 (LASERS); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

ABSTRACT

PROBLEM TO BE SOLVED: To attain a high speed operation without the need for a means such as a circuit configuration to reduce a bootstrap effect by applying a voltage less than a power supply voltage of the circuit is applied between drains and sources of all transistors(TRs) being circuit components.

SOLUTION: When the level of a clock .phi. changes from H to L level and a level of an input signal IN changes from L to H level, electric charge are charged to a node N1 via a TR 33. In this case, since a node D goes to an L level, a reset state of nodes N1, N2, B and OUT is released. Then the level of the node N1 rises and TRs 35, 37 are conductive, since the level of the B, OUT rises, the level of the node N1 is set higher than a power supply voltage Vdd by the bootstrap effect via a bootstrap capacitance Cb31. On the other hand, in this case, drain-source voltages of all the TRs are less than the power supply voltage Vdd. When the input signal IN goes to an L level and the clock signal .alpha. goes to an H level, the N1, B, OUT are set to an L level and then reset.

特開平10-112645

(43)公開日 平成10年(1998)4月28日

(51) Int. Cl. ⁶

識別記号

F I

H03K 19/094

H03K 19/094

C

G11C 19/28

G11C 19/28

2

H03K 17/06

H03K 17/06

C

19/0175

19/00

101

F

審査請求 有 請求項の数 9 OL (全11頁)

(21)出願番号

特顯平8-266128

(71)出願人 000004287

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日

平成8年(1998)10月7日

(72) 發明者 腰倉 克之

東京都港区芝五丁目7番1号 日本電気株式会社内

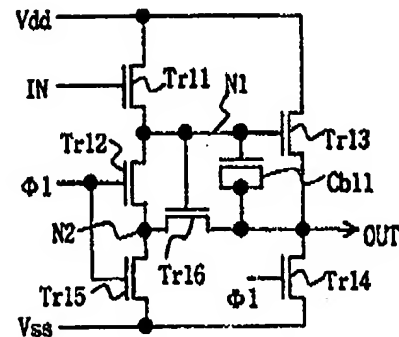
(74)代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 ブートストラップ回路

(67) 【要約】

【銅題】 ブートストラップ効果を小さく抑えるような回路設計をしたり回路の電源電圧を下げなくとも、高速動作の可能なブートストラップ回路を提供する。

【解決手段】 ブートストラップ効果によりノードN1の電位が電源電圧V_{dd}よりも高くなっているとしても、トランジスタTr16を介して出力OUTの電位がノードN2に印加されるため、トランジスタTr12、Tr15共にドレイン～ソース電極間電位は電源電圧V_{dd}以下となる。これにより、トランジスタの耐圧をV_{dd}よりも大きくしなくとも回路設計が可能となる。



【特許請求の範囲】

【請求項1】 節点電圧が高電位電源電圧よりも高くなる節点と、信号入力端子または低電位電源との間に、リセット用トランジスタを接続し、前記リセット用トランジスタのゲート電極に制御用信号を印加する構成としたブートストラップ回路において、

前記回路の構成要素となる全てのトランジスタのドレイン〜ソース間に回路の電源電圧以下の電圧が印加されることを特徴とするブートストラップ回路。

【請求項2】 請求項1に記載のブートストラップ回路において、電源電圧よりも高い電圧が印加される任意の2点間に接続されるトランジスタを2個以上に直列分割し、さらにその2個以上のトランジスタの接続節点に対して電源電圧以下の電圧を印加する手段を設けたことを特徴とするブートストラップ回路。

【請求項3】 請求項2に記載のブートストラップ回路において、前記接続節点に対して電源電圧以下の電圧をトランジスタを介して印加することを特徴とするブートストラップ回路。

【請求項4】 請求項2に記載のブートストラップ回路において、前記接続節点に対して電源電圧以下の電圧を直接印加することを特徴とするブートストラップ回路。

【請求項5】 第1トランジスタの一方の主電極を高電位電源またはパルス源に接続し、前記第1トランジスタのもう一方の主電極と第2トランジスタの一方の主電極を接続してこれを出力端子とし、前記第2トランジスタのもう一方の主電極を低電位電源に接続し、前記第1トランジスタのゲート電極と第3トランジスタの一方の主電極を接続し、さらに前記第3トランジスタのもう一方の主電極を第4トランジスタの一方の主電極に接続し、この第4トランジスタのもう一方の主電極を低電位電源または入力端子に接続し、前記第3トランジスタ及び第4トランジスタの接続節点を前記出力端子または前記パルス源に接続したことを特徴とするブートストラップ回路。

【請求項6】 前記第3トランジスタ及び第4トランジスタの接続節点を第5のトランジスタの主電極を介して前記出力端子、前記パルス源、または前記高電位電源に接続したことを特徴とする請求項5記載のブートストラップ回路。

【請求項7】 請求項1から6のいずれか一に記載のブートストラップ回路を薄膜トランジスタで構成したことを特徴とするブートストラップ回路。

【請求項8】 請求項1から7のいずれか一に記載のブートストラップ回路を用いて構成したことを特徴とするバッファ回路。

【請求項9】 請求項1から7のいずれか一に記載のブートストラップ回路を用いて構成したことを特徴とするシフトレジスタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、シフトレジスタ回路や出力バッファ回路等に用いられるブートストラップ回路に関する。特に、回路を構成する全てのトランジスタのソース〜ドレイン間に回路の電源電圧以下の電圧が印加されるブートストラップ回路に関し、このブートストラップ回路を用いて構成したバッファ回路やシフトレジスタ回路に関する。

【0002】

【従来の技術】 マトリクス型ディスプレイ装置、イメージセンサ、或いは半導体メモリ装置等における走査信号の発生や、マトリクスアレイの駆動用として、シフトレジスタ回路やバッファ回路が良く用いられている。

【0003】 これらシフトレジスタ回路の出力段やバッファ回路等にはプッシュプル型の出力回路が一般に用いられるが、例えばNチャンネル型トランジスタを用いた回路を考えると、プッシュプル型の出力回路を構成するトランジスタのうち高電位側のトランジスタは、出力電圧の上昇に伴ってゲート〜ソース間電圧 V_{gs} が次第に低下し、 $V_{gs} < V_t$ (V_t はトランジスタの閾値電圧)ではオフ状態となってしまう。このため、出力電圧の振幅は $V_{gs} - V_t$ までしか取り出すことができず、また高速動作にも無理があった。そこで、ブートストラップ効果を用いた出力回路が考案されている。この回路によれば出力電圧を電源電圧 V_{dd} まで取り出すことができ、高速動作にも有利であることから、高速性を必要とされる回路に広く用いられている。

【0004】 従来のブートストラップ型バッファ回路の基本回路を図19に示す。この回路に用いるトランジスタは例えばNチャンネルトランジスタである。トランジスタ $Tr193$ と $Tr194$ はプッシュプル型の出力回路を構成しており、共通接続節点 $N1$ が出力端子 OUT となる。一方、 $Tr191$ のソース電極と $Tr192$ のドレイン電極との共通接続節点 $N1$ は $Tr193$ のゲート電極に接続されている。ノード $N1$ と出力端子 OUT の間にはブートストラップ容量 $Cb191$ が接続されているが、これは必ずしも必要ではなく $Tr193$ のゲート〜ソース間容量を利用してもよい。また、 $Cb191$ はこの図例のようにMOS容量を利用するケースが多いが、絶縁層のみによる容量であってもよい。

【0005】 次にその動作を図20のタイミングチャートを用いて説明する。但し、クロック $\phi 1$ 、及び入力信号 IN の H レベル〜 L レベル間の電圧振幅は $V_{dd} \sim V_{ss}$ とする。 $\phi 1$ が L レベルで、且つ IN が H レベルになると、 $Tr191$ がオン状態になり、電源 V_{dd} からノード $N1$ にチャージが行われる。そして、 $N1$ の電位が上昇して $Tr191$ のゲート〜ソース間電位がトランジスタの閾値電圧 V_t よりも小さくなると、 $Tr191$ はオフ状態となり $N1$ の電位は $V_{dd} - V_t$ に保持される。一方、 $N1$ の電位の上昇に伴って $Tr193$ もオ

ン状態となるので、出力OUTに接続された図示していない負荷に電荷がチャージされる。なお、負荷は一般にトランジスタのゲートや配線等から構成される容量性負荷であることが多い。このとき負荷へのチャージ電圧は $V_{dd}-2V_t$ となる。ところで、出力OUTの電位が上昇すると前述したブートストラップ容量 C_{b191} を介してN1の電位が $V_{dd}-V_t$ なる保持電圧よりも高い電圧に持ち上げられるため、Tr193はオン状態を維持し続けてOUTの電位はさらに上昇し、ブートストラップ容量 C_{b191} を介してN1の電位もさらに上昇する。結局、N1の電位は電源電圧 V_{dd} よりも高くなるため、出力OUTの電位は V_{dd} まで上昇してもTr193はオン状態を維持することができる。さらに、INがLoレベルに、Φ1がHiレベルになると、OUTがLoレベルになるとともに、N1にチャージされていた電荷がリセット用トランジスタTr192を介して V_{ss} にリセットされる。以上の動作により、ブートストラップ回路は高出力、高速動作を行うことができる。

【0006】従来のブートストラップ型バッファ回路の例としては図21に示すようなものがある。Tr211はクロックΦ1のタイミングによりノードN1及び出力OUTを V_{ss} 電位にリセットするための信号を生成する。Tr213~216、及びCb211は図19の基本回路の構成と同じである。N1の電位は入力信号INからのチャージにより $V_{dd}-V_t$ まで上昇するが、ブートストラップ容量Cb211を介したブートストラップ効果により、N1の電位は電源電圧 V_{dd} よりも高くなる。よって、このときTr217はオン状態を維持し、出力OUTのHiレベル電位は V_{dd} まで取り出すことができる。

【0007】次に、従来のブートストラップ型シフトレジスタ回路の例として、特公平1-52934号公報には図22の回路図に示すものが開示されている。この回路は、1段当たり少なくとも3個のトランジスタ(Tr221~223)で構成されている。Tr224は出力OUTのリセットを確実にするために追加されたものである。1段目に着目すると、トランジスタTr222とTr223がプッシュプル出力回路を構成しており、共通接続節点が出力端子OUT1となる。Tr223のドレイン電極には2相クロックΦ1、Φ2のうちの何れか一方(ここではΦ1)が印加される。また、Tr223のゲート電極にはTr221のソース、ドレイン電極の何れか一方が接続されて(ノードN1)おり、さらにTr221、222のゲート電極にはもう一方のクロック(ここではΦ2)が印加される。なお、Tr223のゲート~ドレイン電極間、またはゲート~ソース電極間、或いは両方にブートストラップ容量としての容量素子を接続する場合もあり、この容量素子はMOS容量、或いは絶縁層のみによる容量であってもよい。

【0008】図22の回路の動作を図23に示すタイミ

ングチャートを参照しながら説明する。但し、クロックΦ1、Φ2、及び入力信号INのHi~Loレベル間の電圧振幅は $V_{dd} \sim V_{ss}$ とする。入力信号INがHiレベルの時にΦ2がHiレベルになると、ノードN1は $V_{dd}-V_t$ なる電位にプリチャージされ、Tr223はオン状態になる。しかし、このときはΦ1がLoレベルであるため、出力OUTはLoレベルである。次に、Φ2がLoレベルになるとTr221はオフ状態になるので、N1の電荷は保持される。そして、Φ1がHiレベルになると出力OUTの電位は上昇するが、このときTr223のゲート容量を介したブートストラップ効果により、N1の電位は電源電圧 V_{dd} 以上に持ち上げられるため、出力OUT1のHiレベル電位は V_{dd} まで取り出すことができる。さらに、次のタイミングでΦ2がHiレベルになると、Tr222がオン状態になってOUTがLoレベルにリセットされるとともに、N1の電荷がTr221を介して入力IN側に放電されるので、N1もLoレベルにリセットされる。

【0009】さらに、従来のブートストラップ型シフトレジスタ回路の別の例を図24の回路図に示す。この回路は、1段当たり少なくとも4個のトランジスタ(Tr241~244)で構成されている。1段目に着目すると、トランジスタTr243とTr244がプッシュプル出力回路を構成しており、共通接続節点が出力端子OUT1となる。Tr243のドレイン電極には2相クロックΦ1、Φ2のうちの何れか一方(ここではΦ1)が印加される。また、Tr243のゲート電極にはTr241のソース電極、及びTr242のドレイン電極が接続されて(ノードN1)おり、Tr244のゲート電極にはもう一方のクロック(ここではΦ2)が印加される。さらに、Tr241のドレイン電極には電源 V_{dd} もしくは入力信号IN(この例では V_{dd})が印加される。なお、Tr243のゲート~ドレイン電極間、またはゲート~ソース電極間、或いは両方にブートストラップ容量としての容量素子を接続する場合もあり、この容量素子はMOS容量、或いは絶縁層のみによる容量であってもよい。

【0010】図24の回路の動作を図25に示すタイミングチャートを参照しながら説明する。但し、クロックΦ1、Φ2、及び入力信号INのHi~Loレベル間の電圧振幅は $V_{dd} \sim V_{ss}$ とする。入力信号INがHiレベルの時にΦ2がHiレベルになると、ノードN1は $V_{dd}-V_t$ なる電位にプリチャージされ、N1は電荷保持状態になるとともにTr243はオン状態になる。しかし、このときはΦ1がLoレベルであるため、出力OUTはLoレベルである。そして、Φ1がHiレベルになると出力OUTの電位は上昇するが、このときTr243のゲート容量を介したブートストラップ効果により、N1の電位は電源電圧 V_{dd} 以上に持ち上げられるため、出力OUT1のHiレベル電位は V_{dd} まで取り

出すことができる。さらに、次のタイミングでΦ2がHレベルになると、Tr244がオン状態になってOUTがLレベルにリセットされる。これと同じタイミングで出力OUT2はHレベルになり、Tr242がオン状態になるので、N1もLレベルにリセットされる。

【0011】図26はブートストラップ型回路を用いたインバータ回路で、特開昭61-7724号公報に開示されているものである。入力INがHレベルになるとトランジスタTr265がオン状態になり、出力OUTはLレベルになる。また、INがLレベルになるとオン状態にあるTr264によりOUTの電位が上昇するので、容量Cb261を介したブートストラップ効果によりノードN1の電位は電源電圧Vddよりも高い電圧に持ち上げられる。

【0012】

【発明が解決しようとする課題】前項で述べた各従来例の場合においては次のような問題点がある。すなわち、図21のバッファ回路、及び図22、図24のシフトレジスタ回路では、ノードN1の電位がそれぞれ電源電圧Vddよりも高くなる。このため、N1の電位をリセットするためのトランジスタ、すなわち図21の回路ではTr214の、また図22の回路ではTr221の、さらに図24の回路ではTr242のドレイン～ソース電極間に、それぞれVddよりも高い電圧が印加されることになる。従って、ブートストラップ効果が生じた際に上記ノードN1の電位がトランジスタの耐圧を越えてしまった場合には、トランジスタがブレイクダウンを起こし、ひいてはトランジスタが破壊されてしまうという事態を招く。

【0013】図26の回路では上述したようなリセット用トランジスタがなく、何れのトランジスタのドレイン～ソース電極間の電位差も電源電圧以下となる。しかしながら、この回路方式ではTr264が常にオン状態となっているため、入力INがHレベルのときにはVdd～Vss間に定常的な電流が流れることとなり、消費電力の増大を招くという問題がある。さらに、出力OUTのLレベル出力電圧はVss電位にはならずTr264、及びTr265で分圧したものとなるため出力振幅が小さくなり、次段の回路の動作マージンの低下を招くという問題がある。

【0014】トランジスタの耐圧の問題に対しては、ブートストラップ効果を小さく抑えるためにノードN1の全容量に対する高電位側出力トランジスタのゲート容量の割合が小さくなるように回路設計をする方法がある。具体的にはプッシュプル型出力トランジスタのサイズを小さくしたり、ブートストラップ容量を小さくする、等の方法があげられる。しかし、このような方法では前記高電位側トランジスタのオン抵抗が上がってしまい、動作速度が低下するという問題がある。また、回路の電源

電圧自体を下げる方法でもトランジスタのオン抵抗が上がるため、やはり動作速度が低下するという問題がある。

【0015】本発明の目的は、上述したような問題点に鑑み、ブートストラップ効果を小さく抑えるような回路設計をする、回路の電源電圧を下げる、あるいはリセット用トランジスタを設けない回路構成とする、等の手段をとることなく、高速動作の可能なブートストラップ回路を提供することにある。

【0016】

【課題を解決するための手段】本発明のブートストラップ回路は、節点電圧が高電位電源電圧よりも高くなる節点と、信号入力端子または低電位電源との間に、リセット用トランジスタを接続し、前記リセット用トランジスタのゲート電極に制御用信号を印加する構成としたブートストラップ回路において、回路の構成要素となる全てのトランジスタのドレイン～ソース間に回路の電源電圧以下の電圧が印加されるようにしたことを特徴とする。

【0017】具体的には、その構成要素となるトランジスタのうちドレイン～ソース間に回路の電源電圧よりも高い電圧が印加されるトランジスタに対して、そのトランジスタを例えば2個に直列分割し、さらにその接続節点に対して電源電圧以下の電圧を印加する手段を用いたことを特徴とする。

【0018】本発明のブートストラップ型回路によれば、2個以上に直列分割されたトランジスタの各々のドレイン～ソース間に印加される電圧は回路の電源電圧以下となるため、回路の構成要素となる全てのトランジスタのドレイン～ソース間に印加される電圧は回路の電源電圧よりも高くなることはない。

【0019】

【発明の実施の形態】以下に、本発明の第1の実施形態について説明する。図1は本発明のブートストラップ回路を用いたバッファ回路における基本回路図で、図2はその動作を示すタイミングチャートである。

【0020】その回路構成を図1を参照しながら説明する。この回路に用いるトランジスタは例えばNチャンネルMOS型電界効果型トランジスタであるが、Pチャンネルトランジスタを用いた構成であってもよい。トランジスタTr13とTr14はプッシュプル型の出力回路を構成しており、共通接続節点が出力端子OUTとなる。また、Tr11のソース電極とTr12のドレイン電極との共通接続節点N1はTr13のゲート電極に接続されている。一方、Tr13のドレイン電極は高電位電源Vdd、もしくはクロックΦ1とは位相の異なるクロック信号に接続されるが、本形態ではVddに接続した例を示している。さらに、N1と低電位電源Vssとの間には2個のトランジスタTr12、及びTr15のドレイン、ソース電極がそれぞれ直列になるように接続されている。そして、Tr12とTr15の接続節点N

2には、Tr16のソース、ドレイン電極を介して出力OUTが印加される。Tr12とTr15の双方のゲート電極にはクロックΦ1が印加される。ところで、ノードN1とOUTの間にはブートストラップ容量Cb11が接続されているが、これは必ずしも必要ではなくTr13のゲート～ソース間容量を利用してよい。また、Cb11はこの図例のようにMOS容量を利用するケースが多いが、絶縁層のみによる容量であってもよい。

【0021】次に、図1の基本回路の動作を図2のタイミングチャートを参照しながら説明する。ここで、クロックΦ1、及び入力信号INのH1～Loレベル間の電圧振幅はVdd～Vssとしているが、これに限定されるものではない。

【0022】始めに、Φ1がLoレベルになり、且つ入力信号INがH1レベルになると、Tr11がオン状態になり、高電位電源VddからノードN1にチャージが

$$Vb = Vdd - Vt + Cgs / (Cgs + Ct) \cdot Vout \quad \dots (1)$$

と表される。但し、CgsはTr13のゲート～ソース電極間容量とブートストラップ容量Cb11の合成容量、CtはノードN1におけるCgs以外の容量、またVoutは出力OUTの電位の上昇分である。上式より、Vbの最大値は2Vdd-Vtよりも小さい。このようにN1の電位はVddよりも高くなるため、OUTの電位はVddまで上昇し、このときもTr13はオン状態を維持する。

【0023】そして、INがLoレベルになるとTr11がオフ状態になり、N1へのチャージが停止する。続いてΦ1がH1レベルになるとTr12、Tr14、Tr15がオン状態になり、OUTの電位がVssにリセットされるとともに、N1、及びN2もVssにリセットされる。

【0024】ここで、ノードN1の電位がVddよりも高くなっている期間に着目すると、この期間ではTr16が既にオン状態であるため、出力OUTの電位がTr16を介してノードN2に印加される。従って、Tr15のドレイン～ソース間電圧はOUTのH1レベルであるVddとなり、またTr12のそれはVb-Vddとなる。Vbの最大値は(1)式から2Vdd-VtであるからTr15のドレイン～ソース間電圧の最大値はVdd-Vtとなる。なお、図2における過渡的な状態を考えると、Vdd-Vtを越えたN1の電位の変化は、

(1)式で表されるように出力電位VoutがVssから上昇して変化するのに合わせてブートストラップ効果が現れる。このことから、過渡状態におけるTr12のドレイン～ソース間電圧の最大値もVdd-Vt以下である。以上のことから、本実施形態における全てのトランジスタのドレイン～ソース電極間電圧は電源電圧Vdd以下となる。

【0025】以上の動作の中で、Tr14のゲート電極に印加するクロックはΦ1とはタイミングの異なるもの

行われる。そして、N1の電位が上昇してTr11のゲート～ソース間電圧がトランジスタの閾値電圧Vtよりも小さくなると、Tr11はオフ状態となりN1の電位はVdd-Vtに保持される。一方、N1の電位の上昇に伴ってTr13もオン状態となるので、出力OUTに接続された図1に示していない負荷に電荷がチャージされる。なお、負荷は一般にトランジスタのゲートや配線等から構成される容量性負荷であることが多い。このとき負荷へのチャージ電圧はVdd-2Vtとなる。ところで、出力OUTの電位が上昇すると前述したブートストラップ容量Cb11を介してN1の電位がVdd-Vtなる保持電圧よりも高い電圧に持ち上げられるため、Tr13はオン状態を維持し続けてOUTの電位はさらに上昇し、ブートストラップ容量Cb11を介してN1の電位もさらに上昇する。このときのN1の電位Vbは

であっても良いが、好ましくはそのクロックがH1からLoレベルに変化するタイミングが、Φ1がH1からLoレベルに変化するタイミングか、入力信号INがLoからH1レベルに変化するタイミングの何れよりも遅くする。

【0026】なお、本実施の形態のブートストラップ回路は、一般的には半導体基板上に不純物導入、及び熱拡散行程等を施すことにより作製されたトランジスタにより構成されるが、薄膜トランジスタを用いて本回路を構成してもよい。すなわち、絶縁性基板上に半導体層を堆積し、これをレーザー、熱、もしくは光等により活性化させる。そしてこの上に絶縁層を堆積後ゲート電極を形成し、さらにこのゲート電極をマスクとして前述の活性化した半導体領域に不純物を導入することにより薄膜トランジスタが作製されるが、作成方法は必ずしも今述べた方法に限定されるものではない。

【0027】

【実施例】

(実施例1) 次に、本発明のバッファ回路の1実施例について説明する。

【0028】図3は本発明のブートストラップ回路を用いたバッファ回路の1実施例を示す回路図、また図4はその動作タイミングチャートである。

【0029】その動作を図3、及び図4を参照しながら説明する。図3中Tr33～36、Tr39、Tr310、及びCb31は図1の基本回路のものと同一である。クロックΦ1がH1からLoレベルになり、また入力信号INがLoからH1レベルになると、Tr33を介してノードN1に電荷がチャージされる。このときノードDはLoレベルになるため、ノードN1、N2、B、及びOUTのリセットは解除される。やがてN1の電位が上昇してTr35、Tr37がオン状態になると、B、OUTの電位が上昇するので、Cb31を介し

たブートストラップ効果によりN1の電位は電源電圧V_{dd}よりも高くなる。一方、このときBの電位はV_{dd}となり、これをTr310を介してN2に印加することにより、全てのトランジスタのドレイン～ソース電極間電圧は電源電圧V_{dd}以下となる。そして、INがLレベルになるとN1へのチャージが停止し、さらにφ1がHレベルになると、N1、B、OUTはLレベルにリセットされる。

【0030】(実施例2)図5は本発明のブートストラップ回路を用いたバッファ回路の他の実施例を示す回路図である。前記図3の実施例1との違いは、図3のTr310を省略し、ノードBをTr34とTr39の接続節点に直接に接続した点である。その動作タイミングチャートは実施例1のタイミングチャート図4と同様であり、動作もほとんど同じであるため、詳細は省略する。本実施例においても全てのトランジスタのドレイン～ソース電極間電圧は電源電圧V_{dd}以下となる。

【0031】(実施例3)図6は本発明のブートストラップ型回路を用いたシフトレジスタ回路における第1の基本回路図で、図8はその動作を示すタイミングチャートである。

【0032】その回路構成を図6を参照しながら説明する。この回路に用いるトランジスタは例えばNチャンネルMOS型電界効果型トランジスタであるが、Pチャンネルトランジスタを用いた構成であってもよい。トランジスタTr63とTr62はプッシュプル型の出力回路を構成しており、共通接続節点が出力端子OUT1となる。Tr63のゲート電極と入力信号INとの間には2個のトランジスタTr61、及びTr64のドレイン、ソース電極がそれぞれ直列になるように接続されている。そして、Tr61とTr64の接続節点N2には、Tr65のソース、ドレイン電極を介して出力OUTが

$$V_b = V_{dd} - V_t + C_g / (C_g + C_t) \cdot V_{out} \quad \dots (2)$$

と表される。但し、C_gはTr63のゲート電極容量と図示していないブートストラップ容量の合成容量、C_tはノードN1におけるC_g以外の容量、またV_{out}は出力OUT1の電位の上昇分である。上式より、V_bの最大値は2V_{dd}-V_tよりも小さい。さらに次のタイミングでφ2がHレベルになると、OUTはTr62によりLレベルにリセットされ、N1、及びN2の電荷はLレベルとなったIN側にリセットされる。

【0035】ここで、ノードN1の電位がV_{dd}よりも高くなっている期間に着目すると、この期間ではTr65がオン状態であるため、出力OUTの電位がTr65を介してノードN2に印加される。このときのN2の電位はV_{dd}-V_tとなる。従って、Tr64のドレイン～ソース間電圧はV_{dd}-V_tとなり、またTr61のそれはV_b-(V_{dd}-V_t)となる。V_bの最大値は(2)式から2V_{dd}-V_tであるからTr61のドレイン～ソース間電圧の最大値はV_{dd}となる。なお、図

印加されるが、OUTに限らず、φ1またはV_{dd}をN2に印加しても良い。Tr65のゲート電極にはφ1が印加される。なお、Tr63のドレイン電極には2相クロックφ1、φ2のうちの何れか一方(ここではφ1)が印加される。また、Tr63のゲート電極にはTr61のソース、ドレイン電極の何れか一方が接続されて(ノードN1)おり、さらにTr64、Tr61、Tr62のゲート電極にはもう一方のクロック(ここではφ2)が印加される。なお、ここでは図示していないが、Tr63のゲート～ドレイン電極間、またはゲート～ソース電極間、或いは両方にブートストラップ容量としての容量素子を接続する場合もあり、この容量素子はMOS容量、或いは絶縁層のみによる容量であってもよい。

【0033】次に、図6の基本回路の動作を1段目に着目して図8のタイミングチャートを参照しながら説明する。但し、クロックφ1、及び入力信号INのH～Lレベル間の電圧振幅はV_{dd}～V_{ss}とする。

【0034】始めに、入力信号INがHレベルで且つクロックφ2がHレベルになると、Tr64、及びTr61がオン状態になり、ノードN1、及びN2にV_{dd}-V_tなる電圧がプリチャージされる。このとき、Tr63はオン状態となるが、φ1がLレベルであるため、出力OUT1はLレベルのままである。そして、次のタイミングでφ2がLレベルになるとN1にチャージされた電荷保持される。一方でφ1がHレベルになり、φ1からTr63を介して電荷が供給されてOUT1はHレベルとなる。ここで、Tr63のゲート～ドレイン電極、及びゲート～ソース電極間には容量が存在するため、それぞれの容量分を介したブートストラップ効果によりN1の電位がV_{dd}-V_tなる保持電圧よりも高い電圧に持ち上げられ、Tr63はオン状態を維持し続ける。このときのN1の電位V_bは

6における過渡的な状態を考えると、V_{dd}-V_tを超えたN1の電位の変化は、クロックφ1、及び出力電位V_{out}がV_{ss}から上昇して変化するのに合わせてブートストラップ効果が現れる。このことから、過渡状態におけるTr61のドレイン～ソース間電圧の最大値もV_{dd}以下である。以上のことから、本実施例における全てのトランジスタのドレイン～ソース電極間電圧は電源電圧V_{dd}以下となる。

【0036】(実施例4)図7は本発明のブートストラップ回路を用いたシフトレジスタ回路の1実施例を示す回路図、また図8はその動作タイミングチャートである。

【0037】その動作を図7、及び図8を参照しながら説明する。図7中Tr71～75は図6の基本回路のものと同じである。また、Tr76は出力OUT1と低電位電源V_{ss}との間に接続され、そのゲート電極にはn+2段先の出力OUT3を印加する。

【0038】クロックΦ2がHレベルでTr74、及びTr71がオン状態になり、入力信号INがHレベルになるとノードN1、及びN2にV_{dd}-V_tなる電圧がプリチャージされる。このとき、Tr73はオン状態となるが、Φ1がLレベルであるため、出力OUT1はLレベルのままである。そして、次のタイミングでΦ2がLレベルになるとN1にチャージされた電荷は保持される。一方でΦ1がHレベルになり、Φ1からTr73を介して電荷が供給されてOUT1はHレベルとなる。ここで、Tr73のゲート～ドレイン電極、及びゲート～ソース電極間の容量を介したブートストラップ効果によりN1の電位がV_{dd}-V_tなる保持電圧よりも高い電圧に持ち上げられ、Tr73はオン状態を維持し続ける。さらに次のタイミングでΦ2がHレベルになると、OUT1はTr72によりLレベルにリセットされ、N1、及びN2の電荷はLレベルとなったIN側にリセットされる。

【0039】ここでTr76は、2段目のノードN1、N2をリセットする際に、電荷再配分によりOUT1のLレベル電位が変動するのを防ぐためのものである。

【0040】（実施例5）図9は本発明のブートストラップ回路を用いたシフトレジスタ回路の他の実施例を示す回路図である。図7との違いはTr75のドレイン、ソース電極を、クロックΦ1またはΦ2～ノードN2の間に接続した点である。回路の動作は図7とほとんど同じであるため、詳細は省略する。

【0041】（実施例6）図10は本発明のブートストラップ回路を用いたシフトレジスタ回路の他の実施例を示す回路図、また図11はその動作タイミングチャートである。図6の基本回路との違いは、ノードN1、及びN2の電荷をIN側ではなくV_{ss}側にリセットするようにした点である。すなわち、ノードN1と低電位側電源V_{ss}との間には2個のトランジスタTr102、及びTr105のドレイン、ソース電極がそれぞれ直列になるように接続されている。なお、Tr101のゲート電極には入力信号INが、またドレイン電極には高電位側電源V_{dd}が印加されるが、INはTr101のゲート電極、及びドレイン電極に印加してもよい。また、この回路に用いるトランジスタは例えばNチャンネルMOS型電界効果型トランジスタであるが、Pチャンネルトランジスタを用いた構成であってもよい。

【0042】その動作を1段目に着目して図10、及び図11を参照しながら説明する。

【0043】入力信号INがHレベルになると、Tr101がオン状態になり、ノードN1にV_{dd}-V_tなる電圧がプリチャージされる。このとき、Tr103はオン状態となるが、Φ1がLレベルであるため、出力OUTはLレベルのままである。そして、次のタイミングでINがLレベルになるとN1にチャージされた電荷は保持される。一方でΦ1がHレベルになり、Φ

1からTr103を介して電荷が供給されてOUT1はHレベルとなる。ここで、Tr103のゲート～ドレイン電極、及びゲート～ソース電極間容量を介したブートストラップ効果によりN1の電位がV_{dd}-V_tなる保持電圧よりも高い電圧に持ち上げられ、Tr103はオン状態を維持し続ける。さらに次のタイミングでΦ2がHレベルになると、OUT1はTr104によりLレベルにリセットされる。また、これと同時に次段出力OUT2がHレベルとなるので、これによりTr102、及びTr106がオン状態になり、N1、N2の電荷はV_{ss}側にリセットされる。

【0044】（実施例7）図12は本発明のブートストラップ回路を用いたシフトレジスタ回路の他の実施例を示す回路図である。図10との違いはTr106のドレイン、ソース電極を、1段毎にクロックΦ1またはΦ2～ノードN2の間に交互に接続した点である。回路の動作は図10とほとんど同じであるため、詳細は省略する。

【0045】（実施例8）図13は本発明のブートストラップ回路を用いたシフトレジスタ回路の他の実施例を示す回路図である。図10との違いはTr106のドレイン、ソース電極を、高電位側電源V_{dd}～ノードN2の間に接続した点である。回路の動作は図10とほとんど同じであるため、詳細は省略する。

【0046】（実施例9）図14は本発明のブートストラップ回路を用いたシフトレジスタ回路の他の実施例を示す回路図である。図10との違いはTr106のゲート電極を、1段毎にクロックΦ1またはΦ2に交互に接続した点である。回路の動作は図10とほとんど同じであるため、詳細は省略する。

【0047】（実施例10）図15は本発明のブートストラップ回路を用いたシフトレジスタ回路の他の実施例を示す回路図である。図10との違いはTr106のゲート電極を、1段毎にクロックΦ1またはΦ2に交互に接続し、さらにTr106のドレイン、ソース電極を、1段毎にクロックΦ1またはΦ2～ノードN2の間に交互に接続した点である。回路の動作は図10とほとんど同じであるため、詳細は省略する。

【0048】（実施例11）図16は本発明のブートストラップ回路を用いたシフトレジスタ回路の他の実施例を示す回路図である。図10との違いはTr106のゲート電極を、1段毎にクロックΦ1またはΦ2に交互に接続し、さらにTr106のドレイン、ソース電極を、高電位側電源V_{dd}～ノードN2の間に接続した点である。回路の動作は図10とほとんど同じであるため、詳細は省略する。

【0049】（実施例12）図17は本発明のブートストラップ回路を用いたシフトレジスタ回路の他の実施例を示す回路図である。図10との違いはTr106を省略し、Tr102とTr105の接続節点に出力OUT

1を直接接続した点である。本実施例によれば、1段当
たりに使用するトランジスタの数を1個少なくすること
ができる。回路の動作は図10とほとんど同じであるた
め、詳細は省略する。

【0050】（実施例13）図18は本発明のブートス
トラップ回路を用いたシフトレジスタ回路の他の実施例
を示す回路図である。図10との違いはTr106を省
略し、Tr102とTr105の接続節点に1段毎にク
ロックΦ1またはΦ2を交互に直接接続した点である。
本実施例によれば、1段当たりに使用するトランジスタ
の数を1個少なくすることができる。回路の動作は図1
0とほとんど同じであるため、詳細は省略する。

【0051】なお、以上の実施例ではブートストラップ
回路の構成要素となるトランジスタのうちドレイン〜ソ
ース間に回路の電源電圧よりも高い電圧が印加されるト
ランジスタに対して、そのトランジスタを2個に直列分
割した例について述べたが、トランジスタを3個以上に
分割して、それぞれの接続節点に電源電圧以下の電圧を
印加しても良い。

【0052】

【発明の効果】以上説明したとおり、本発明のブートス
トラップ回路によれば、ブートストラップ効果を小さく
抑えるような回路設計をしたり回路の電源電圧を下げな
くとも、高速動作の可能なバッファ回路、またはシフト
レジスタ回路を提供することができるという効果があ
る。その理由は、回路の構成要素となる全てのトランジ
スタのドレイン〜ソース間に回路の電源電圧以下の電圧
が印加されるようにしたからである。

【図面の簡単な説明】

【図1】本発明のブートストラップ型回路を用いたバッ
ファ回路における基本回路図である。

【図2】図1の本発明の基本回路図の動作を示すタイミ
ングチャートである。

【図3】本発明のブートストラップ回路を用いたバッ
ファ回路の1実施例を示す回路図である。

【図4】図3の本発明の実施例の動作を示すタイミング
チャートである。

【図5】本発明のブートストラップ回路を用いたバッ
ファ回路の他の実施例を示す回路図である。

【図6】本発明のブートストラップ型回路を用いたシフ
トレジスタ回路における第1の基本回路図である。

【図7】本発明のブートストラップ回路を用いたシフト
レジスタ回路の1実施例を示す回路図である。

【図8】図6の本発明の実施例の動作を示すタイミング
チャートである。

【図9】本発明のブートストラップ回路を用いたシフト
レジスタ回路の他の実施例を示す回路図である。

【図10】本発明のブートストラップ回路を用いたシフ

トレジスタ回路の他の実施例を示す回路図である。

【図11】図10の本発明の実施例の動作を示すタイミ
ングチャートである。

【図12】本発明のブートストラップ回路を用いたシフ
トレジスタ回路の他の実施例を示す回路図である。

【図13】本発明のブートストラップ回路を用いたシフ
トレジスタ回路の他の実施例を示す回路図である。

【図14】本発明のブートストラップ回路を用いたシフ
トレジスタ回路の他の実施例を示す回路図である。

【図15】本発明のブートストラップ回路を用いたシフ
トレジスタ回路の他の実施例を示す回路図である。

【図16】本発明のブートストラップ回路を用いたシフ
トレジスタ回路の他の実施例を示す回路図である。

【図17】本発明のブートストラップ回路を用いたシフ
トレジスタ回路の他の実施例を示す回路図である。

【図18】本発明のブートストラップ回路を用いたシフ
トレジスタ回路の他の実施例を示す回路図である。

【図19】従来のブートストラップ型バッファ回路の基
本回路図である。

20 【図20】図19の従来例の動作を示すタイミングチャ
ートである。

【図21】従来のブートストラップ型バッファ回路の例
を示す回路図である。

【図22】従来のブートストラップ型シフトレジスタ回
路の例を示す回路図である。

【図23】図22の従来例の動作を示すタイミングチャ
ートである。

【図24】従来のブートストラップ型シフトレジスタ回
路の別の例を示す回路図である。

【図25】図24の従来例の動作を示すタイミングチャ
ートである。

【図26】従来のブートストラップ型インバータ回路の
例を示す回路図である。

【符号の説明】

Tr11~Tr16, Tr31~Tr310, Tr61
~Tr65, Tr71~76, Tr101~Tr10
6, Tr191~Tr194, Tr211~Tr21
8, Tr221~Tr224, Tr241~Tr244
トランジスタ

Cb11, Cb31, Cb191, Cb211 ブート
ストラップ容量

Vdd 高電位側電源

Vss 低電位側電源

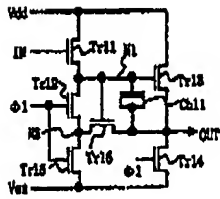
Φ1, Φ2 クロック信号

IN 入力信号

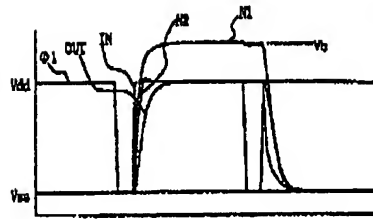
OUT, OUT1~OUT3 出力信号

N1, N2, B, D ノード

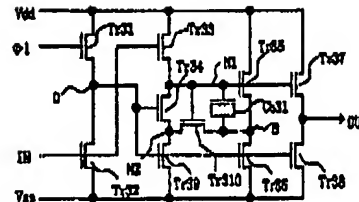
【図1】



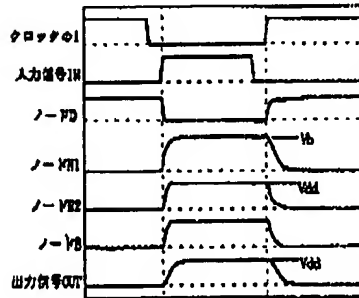
【図2】



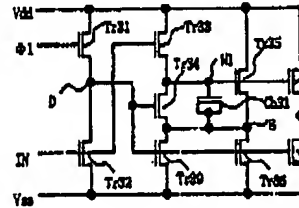
【図3】



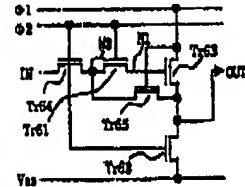
【図4】



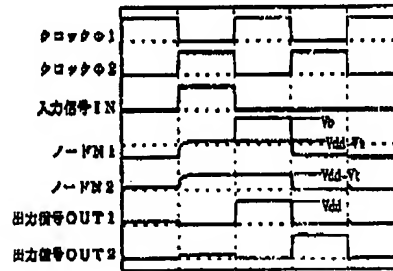
【図5】



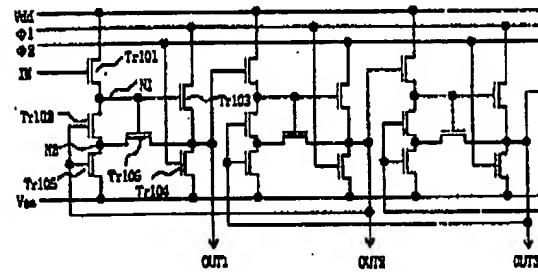
【図6】



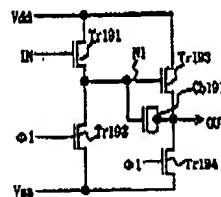
【図8】



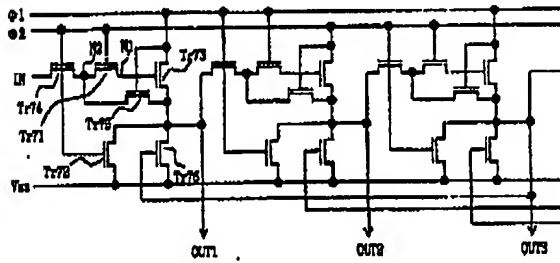
【図10】



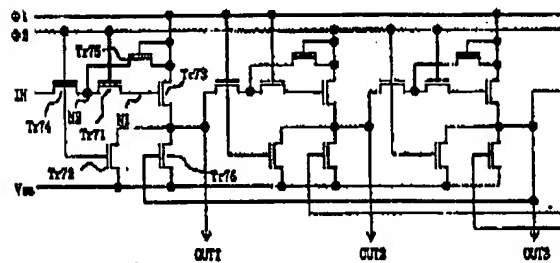
【図19】



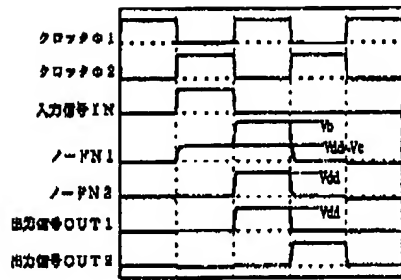
【図7】



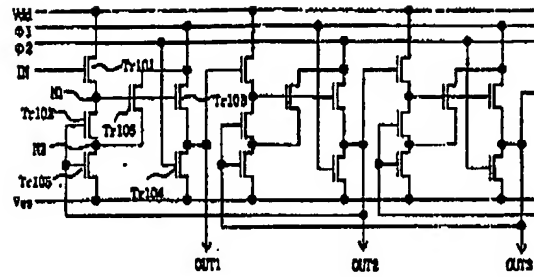
【図9】



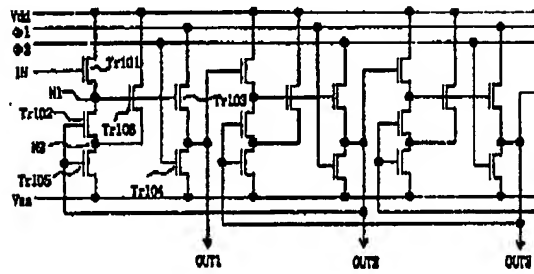
【図 11】



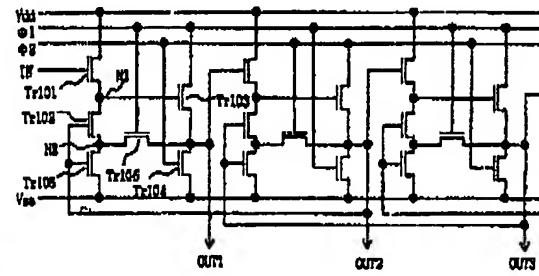
【図 12】



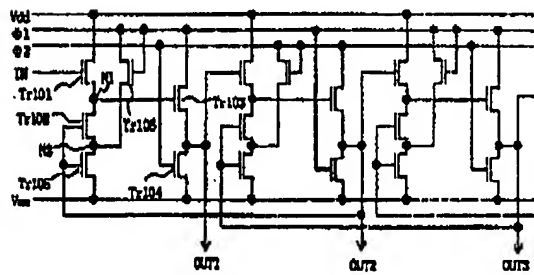
【図 13】



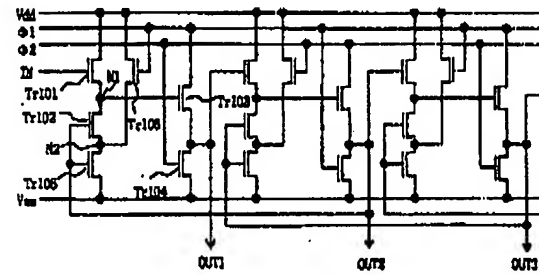
【図 14】



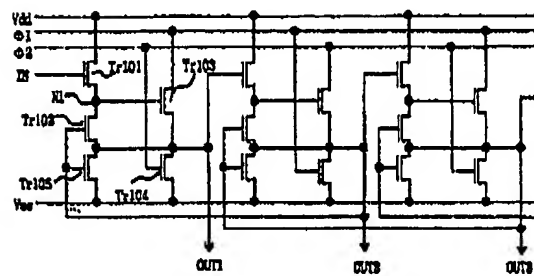
【図 15】



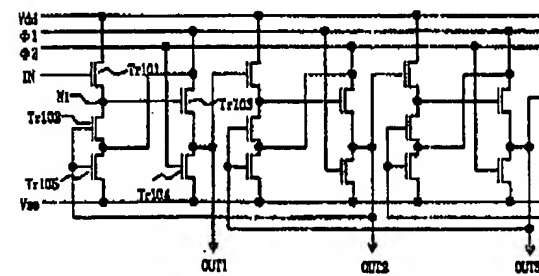
【図 16】



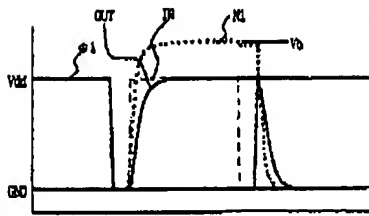
【図 17】



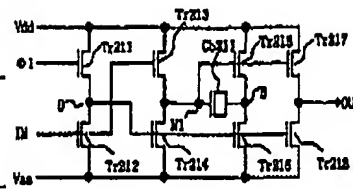
【図 18】



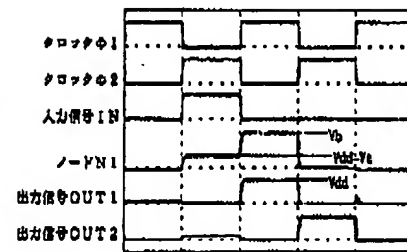
【図 20】



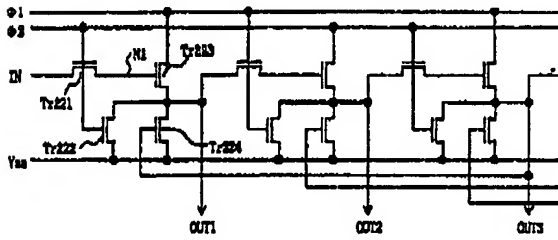
【図 21】



【図 23】

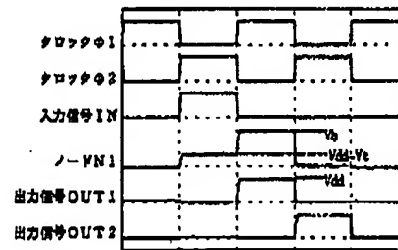
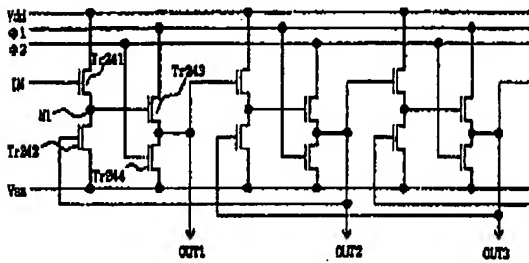


【図 22】

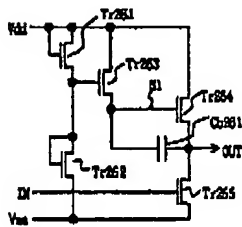


【図 24】

【図 25】



【図 26】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.